

PROTECTING CIRCUIT FOR FIELD-EFFECT TRANSISTOR

PUB. NO.: 63-037712 [JP 63037712 A]
PUBLISHED: February 18, 1988 (19880218)
INVENTOR(s): NOTO YASUO
SUGIURA NOBORU
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 61-179963 [JP 86179963]
FILED: August 01, 1986 (19860801)
INTL CLASS: [4] H03K-017/08
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)
JOURNAL: Section: E, Section No. 633, Vol. 12, No. 250, Pg. 62, July
14, 1988 (19880714)

ABSTRACT

PURPOSE: To absorb surge energy to below the dielectric strength of an FET by connecting a Zener diode and a diode which has the opposite polarity from the Zener diode in series between the drain and gate.

CONSTITUTION: The series circuit of the Zener diode ZD1 and the diode D1 which has the opposite polarity from the Zener diode is provided between the drain and gate of the N channel FET. A voltage applied to the gate G of the diode D1 connected in series between the gate and drain of the FET operates not to be drawn to the drain D and when the FET is off, namely, when a control transistor TR is off, the Zener diode ZD1 feeds the surge energy applied to the FET back to the gate of the FET, thereby reducing the voltage between the drain and gate below a constant value. Consequently, the FET consumes the surge voltage and the gate is turned on before a voltage higher than the dielectric strength is applied, thereby lowering the surge voltage.

BEST AVAILABLE COPY

⑪ 公開特許公報 (A) 昭63-37712

⑫ Int.Cl.
H 03 K 17/08識別記号 廈内整理番号
7190-5J

⑬ 公開 昭和63年(1988)2月18日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電界効果トランジスタの保護回路

⑮ 特願 昭61-179963

⑯ 出願 昭61(1986)8月1日

⑰ 発明者 能登 康雄 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑰ 発明者 杉浦 登 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代理人 弁理士 小川 勝男 外2名

明細書

トランジスタの保護回路。

1. 発明の名称

電界効果トランジスタの保護回路

3. 発明の詳細な説明

2. 特許請求の範囲

1. ドレインとソース間に負荷を接続し、ゲートを制御することによってドレイン電流を制御してなる制御回路において、前記ドレインとゲート間にツエナーダイオードと、該ツエナーダイオードと逆方向の極性を有するダイオード直列接続したことを特徴とする電界効果トランジスタの保護回路。

2. 特許請求の範囲第1項記載において、ツエナーダイオードとダイオードはアノード同志が接続され、該ツエナーダイオードの一端がドレインに接続されていることを特徴とした電界効果トランジスタの保護回路。

3. 特許請求の範囲第1項記載において、ツエナーダイオードとダイオードはカソード同志が接続され、該ダイオードの一端がドレインに接続されていることを特徴とした電界効果トランジ

〔産業上の利用分野〕

本発明は電界効果トランジスタ(以下FETと云う)の保護回路に係り、特にインダクタンスを負荷とするFETに好適な保護回路に関する。

〔従来の技術〕

従来のFETの保護回路は日立パワーMOSFETデータブック(昭和59年10月発行)の第22頁4, 6項から第24頁4, 7頁に記載されているようにCRズナバもしくはサージ吸収用アパランシエダイオードをドレイン・ソース間に用いて行なっていた。しかし経済的で信頼性の高い装置としての配慮が十分なされていなかつた。

〔発明が解決しようとする問題点〕

上記従来技術は例えば10A, 100A等の大電流を流した場合、サージ吸収回路とFETの接続のための配線にインダクタンスがあり、FETのような高速スイッチングにおいては(100nS近辺の)ターンオフタイムでFETはスイッチ

シングする。) 小さなインダクタンスでも dI/dt が大きくなるため FET に印加される電圧は大きくなるが、实用性の高い耐圧回路については十分分配されていなかつた。

本発明の目的は経済的で信頼性の高い FET の保護回路を容易に提供するにある。

【問題点を解決するための手段】

上記目的は、NチャンネルFETのドレイン・ゲート間にツエナーダイオードと、該ツエナーダイオードと逆方向に極性をもつダイオードの直列回路を設け、ゲートに帰還をかけるツエナーダイオードにより FET にてサージ電圧を消費させ、かつ耐圧以上の電圧がかかる以前にゲートをオンしサージ電圧を下げるこことによつて達成される。

【作用】

FET のゲイン・ドレイン間に直列接続されたダイオードはゲートに印加される電圧がドレインに引つばられないように働き、一方ツエナーダイオードは FET が OFF 時、即ち制御トランジスタが ON 時に FET に印加されるサージエネルギー

は N チャンネル FET を示しており、FET の ON 電圧が約 1 V になるような電圧、約 10 V が印加されるように設定されている。ダイオード D1 はゲート G に印加される電圧がドレイン D に引つばられないようにするためのもので、これを外すと FET のスレッショルド電圧 V_{TH} までドレイン・ソース間電圧 V_{DS} があがり損失電力が大きくなるため熱破壊にいたる。ツエナーダイオード ZD1 は FET が OFF 時、すなわち制御トランジスタ TR が ON 時に FET に印加されるサージエネルギーを FET のゲート G に帰還し、FET の V_{DS} を一定値以下にする。

この時の動作は、インダクタンス L に電流 I_{DS} が流れている場合にドレイン・ソース間電圧は、

$$V_{DS} = V_B + L \frac{dI_{DS}}{dt_{off}}$$

ここで V_B : パッテリ電圧

L : インダクタンス

I_{DS} : 電流

t_{off} : FET の OFF 時間

一を FET のゲートに帰還しドレイ・ゲート間の電圧を一定値以下にするように働く。それによつて FET にサージ電圧を消費し、かつ耐圧以上の電圧がかかる以前にゲートを ON し、サージ電圧を下げることが出来る。

【実施例】

以下本発明の一実施例を第 1 図、第 2 図により説明する。

パッテリ B とリアクタンス L と FET のドレイン D・ソース S 間は閉回路をなし、FET のゲート・ソース S 間には制御トランジスタ TR が接続されている。R1, R2 はそれぞれ電流制限抵抗を示す。アノード同志を結線したダイオード D1 とツエナーダイオード ZD1 の直列素子回路のダイオード側の他の一端カソードは FET のゲート G に結線され、ツエナーダイオードのカソードはドレイン D に結線されている。

今制御トランジスタ TR が OFF することにより FET のゲート G・ソース S 間に FET が ON するのに必要な電圧 V_{cc} が印加される。第 2 図で

で定まる電圧まではね上がるとするが

$$V_{DS} = V_{TH} + V_{D1} + V_{ZD1}$$

ここで V_{TH} : FET のスレッショルド

時間

V_{D1} : ダイオードの順方向電圧

V_{ZD1} : ツエナーダイオード

で定まる電圧に、クランプされる。

これは電圧が上がるするとツエナーダイオードを介してゲートに電圧が印加され FET が ON する帰還がかかるためである。

この時の各電圧、電流を横軸、時間にとつた時の関係は第 3 図のようになり、OFF 時のゲート電圧はほぼ FET のスレッショルド電圧 V_{TH} となる。

ツエナーダイオード V_{ZD1} は FET の耐圧以下に V_{DS} がなるように定める。

ツエナーダイオードに流れる電流 I_Z は

$$I_Z = V_{TH} / R_1$$

通常 $V_{TH} = 4 V$ ・ R_1 は約 20Ω から

$$I_Z = 4 / 20 = 0.2 A$$

本実施例によれば小信号用のツエナーダイオード及びダイオードをもちいて、サージエネルギー吸収ができるため安価で構成できる。またサージ吸収回路にはC R サージアブソーバ等のように大電流を流さないため、配線が簡単に済み、実用性の高いものとなる。

尚、上記実施例では、ダイオードD1とツエナーダイオードZD1の結線はアノード同志を結線したものを示してあるが、カソード同志を結線したもののがダイオード側をFETのドレインDに、ツエナーダイオードZD1側をゲートGに接続しても同様の効果が期待できる。

第4図は本発明をもちいた電動機制御FETの回路の実施例を示す。

第5図にモータ電流 I_m (A)、FETに流れれる電流 I_{DS} (B)、FETに印加される電圧 V_{DS} (C)を示す。電動機MにFET ON時に蓄えられたエネルギーはダイオードD1、D2により還流される。

本発明のツエナーダイオードZD1、ZD2及び

ダイオードD1、D2により上記実施例と同様の働きで、バッテリーBと電動機M間、FETとバッテリーB間の配線によるサージエネルギーを吸収することができ、かつFETの耐圧以下にすることができる。

【発明の効果】

以上本発明によれば、経済的で信頼性の高いFETの保護回路を容易に提供することができる。

4. 図面の簡単な説明

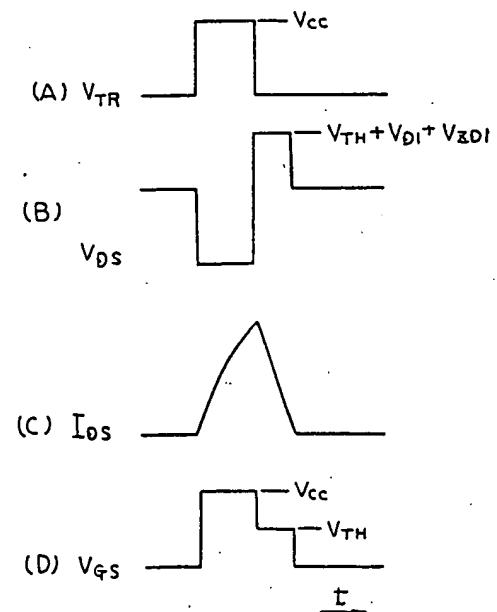
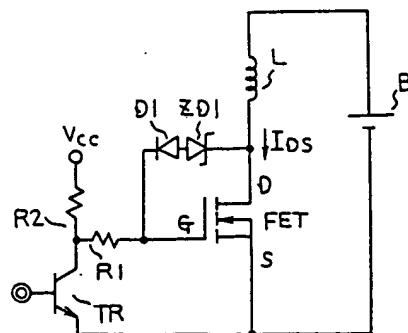
第1図は本発明の一実施例を示す制御回路図、第2図は第1図の動作波形図、第3図は電動機制御にもちいた場合の本発明の一実施例を示す電動機制御回路図、第4図は第3図の動作波形図を示す。

L…インダクタンス、 I_{DS} …FETのDS間電流、ZD1…ツエナーダイオード、D1…ダイオード、R1、R2…電流制限抵抗、TR…FETドライブ用トランジスタ、D…ドレイン、G…ゲート、S…ソース。

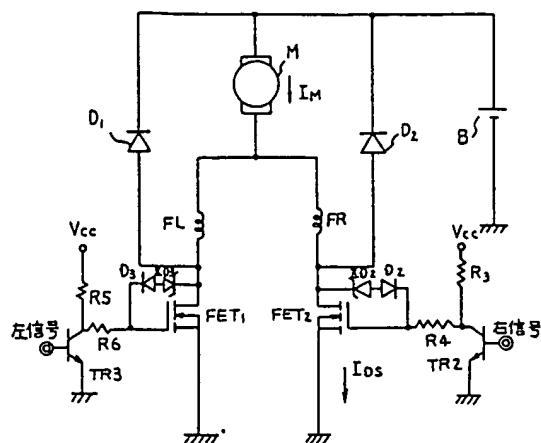
代理人 弁理士 小川勝男

第2図

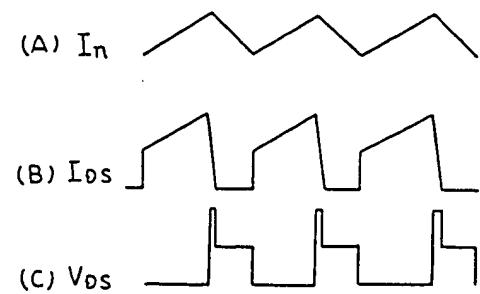
第1図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.